

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005 年 8 月 25 日 (25.08.2005)

PCT

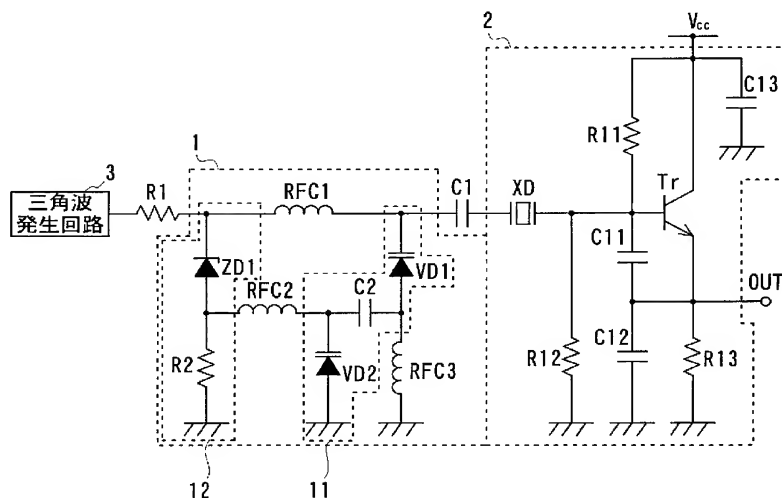
(10) 国際公開番号
WO 2005/078915 A1

- (51) 国際特許分類: **H03B 5/36, 5/12, H04J 13/00**
- (21) 国際出願番号: PCT/JP2004/017145
- (22) 国際出願日: 2004 年 11 月 18 日 (18.11.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2004-039791 2004 年 2 月 17 日 (17.02.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社村田製作所 (MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 加藤章 (KATO, Akira) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 小森久夫 (KOMORI, Hisao); 〒5400011 大阪府大阪市中央区農人橋 1 丁目 4 番 3 4 号 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

[続葉有]

(54) Title: VOLTAGE CONTROLLED OSCILLATOR

(54) 発明の名称: 電圧制御発振器



3 TRIANGULAR WAVE GENERATING CIRCUIT

(57) **Abstract:** A first varactor diode (VD1) has a cathode connected through a capacitor (C1) to a resonance element (XD) and through an inductor (RFC1) and a resistor element (R1) to a triangular wave generating circuit (3), and an anode connected through a capacitor (C2) to the cathode of a second varactor diode (VD2) and earthed through an inductor (RFC3). A Zener diode (ZD1) has a cathode connected to the joint of the inductor (RFC1) and the resistor element (R1), and an anode earthed through a resistor element (R2). The second varactor diode (VD2) has a cathode connected through an inductor (RFC2) to the joint of the Zener diode (ZD1) and the resistor element (R2), and an earthed anode.

(57) 要約: 第1バラクタダイオード (VD1) のカソードはコンデンサ (C1) を介して共振素子 (XD) に接続されるとともに、インダクタ (RFC1)、抵抗素子

[続葉有]



WO 2005/078915 A1



(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(R1) を介して三角波発生回路(3)に接続され、アノードはコンデンサ(C2)を介して第2バラクタダイオード(VD2)のカソードに接続されるとともにインダクタ(RFC3)を介して接地される。ツェナーダイオード(ZD1)のカソードはインダクタ(RFC1)と抵抗素子(R1)との接続点に接続され、アノードは抵抗素子(R2)を介して接地される。また、第2バラクタダイオード(VD2)のカソードはツェナーダイオード(ZD1)と抵抗素子(R2)との接続点にインダクタ(RFC2)を介して接続され、アノードは接地される。

明 細 書

電圧制御発振器

技術分野

- [0001] この発明は、印加電圧信号により発振周波数を制御する電圧制御発振器、特に、発振周波数を短い時間で変化させながら出力する周波数拡散型電圧制御発振器に関するものである。

背景技術

- [0002] 現在、デジタル信号の伝送にはパラレル伝送とシリアル伝送とが存在するが、高速大容量の信号伝送については、シリアル伝送が主に用いられるようになってきている。そして、デジタル信号をシリアル伝送する場合には、伝送の基準となるクロックが必要である。ところが、情報量の増加にしたがい伝送レートを高くしなければならず、クロック周波数が高周波数化している。このように、クロック周波数が高くなると、このクロック周波数に応じて、高周波数で且つ比較的高いレベルの信号が同一周波数で連続して伝送されることとなり、この信号がノイズ(Electro Magnetic Interference(以下、単に「EMI」という))となって周辺機器に悪影響を与えるという問題が発生する。
- [0003] この問題を解決する方法として、前記クロック周波数を時間変化させて拡散させ、ノイズを特定の周波数に集中させない、いわゆるスペクトラム拡散(または拡散スペクトル)方式を用いた電圧制御発振器が各種考案されている(例えば、特許文献1〜4参照)。

特許文献1:特開平9-98152号公報

特許文献2:特開2003-101408公報

特許文献3:特許第2756739号公報

特許文献4:特公平9-98152号公報

発明の開示

発明が解決しようとする課題

- [0004] 前述の各種の電圧制御発振器では、発振周波数(発振周波数)を制御する方法と

して、発振回路に備えられた共振素子にバラクタダイオード(可変容量ダイオード)を直列接続し、このバラクタダイオードに振幅が経時的に可変する電圧信号を印加する方法を用いており、この電圧信号には一般に三角波信号を用いる。

[0005] ここで、バラクタダイオードは図9に示すような特性を有する。

図9はバラクタダイオードの容量の印加電圧特性を示す。

図9に示すように、バラクタダイオードは印加される電圧が高いほどキャパシタンスの変化率が少なくなり、印加される電圧が低いほどキャパシタンスの変化率が大きくなる。このため、三角波信号を印加した場合に、印加電圧が高くなる範囲ではキャパシタンスの変化率が少なくなってしまう。この印加電圧が高くなる範囲とは、すなわち、三角波のピーク付近に相当する範囲である。

ここで、図10は、バラクタダイオードに印加される信号と、バラクタダイオードのキャパシタンスと、このバラクタダイオードを備える電圧制御発振器の発振周波数との時間変化を示した図であり、(a)が印加電圧を示し、(b)がバラクタダイオードのキャパシタンスを示し、(c)が電圧制御発振器の発振周波数を示す。なお、本図では、バラクタダイオードのカソードを共振素子に接続し、アノードを接地した場合の特性を示す。

図10に示すように、三角波信号が印加されると、バラクタダイオードのキャパシタンスおよび発振器の発振周波数の時間変化は三角波の一方のピーク(キャパシタンスでは高キャパシタンス側ピーク、発振周波数であれば低周波数側ピーク)付近で緩やかな変化となり、他方のピーク(キャパシタンスであれば低キャパシタンス側ピーク、発振周波数であれば高周波数側ピーク)付近で急峻な変化となる。

このため、三角波信号を印加しても、発振周波数の変化が緩い範囲ではノイズの周波数拡散効果が不十分になるという問題が生じる。

[0006] この発明の目的は、三角波信号を印加した場合でも、十分なノイズの周波数拡散効果(EIM低減効果)を得ることができる電圧制御発振器を提供することにある。

課題を解決するための手段

[0007] この発明は、共振素子を備え所定の発振周波数信号を発生する発振回路と、該発振回路の発振周波数を制御電圧信号により制御する発振周波数制御回路とを備え

た電圧制御発振器において、発振周波数制御回路は、共振素子の一方端と固定電位との間に、共振素子側から第1バラクタダイオードと第2バラクタダイオードとを順に交流的に直列接続した第1直列回路と、制御電圧信号の入力端子と固定電位との間に、入力端子側からツェナーダイオードと抵抗素子とを順に直列接続した第2直列回路とを備える。そして、この発振周波数制御回路は、第1バラクタダイオードの共振素子側の端子と、ツェナーダイオードの入力端子側の端子とが直流的に接続されており、第2バラクタダイオードの第1バラクタダイオード側の端子と、抵抗素子のツェナーダイオード側の端子とが直流的に接続されていることを特徴としている。

[0008] この構成では、次に示す動作が行われる。

(1) 印加される制御電圧信号の振幅(電圧)が低い範囲では、ツェナーダイオードが導通しないため、抵抗素子に電圧が印加されず、第2バラクタダイオードは0電圧印加状態となり、この0電圧印加に応じたキャパシタンスのコンデンサとして機能する。

一方、第1バラクタダイオードには制御電圧信号が印加されるので、印加される電圧に応じてキャパシタンスが変化するコンデンサとして機能する。この第1バラクタダイオードのキャパシタンスの変化により、第1バラクタダイオードと第2バラクタダイオードとの直列回路の合成キャパシタンスが変化する。この直列回路は発振回路の共振素子の一方端と固定電位との間に交流的に接続されているので、この直列回路のキャパシタンスの変化により、発振回路の発振周波数が変化する。ここで、前述の通り、制御電圧信号の低電圧範囲では、電圧の変化によるキャパシタンスの変化は緩やかにはならないので、発振周波数の変化も緩やかにはならず、ノイズの周波数も拡散される。

[0009] (2) 一方、印加される制御電圧信号の振幅(電圧)が高い範囲では、ツェナーダイオードがブレイクダウンして定電圧素子として機能するため、抵抗素子に制御電圧信号の電圧からツェナーダイオードのブレイクダウン電圧を差分した電圧が印加され、第2バラクタダイオードにもこの差分電圧が印加される。そして、第2バラクタダイオードは印加される電圧に応じてキャパシタンスが変化するコンデンサとして機能する。この第2バラクタダイオードのキャパシタンスの変化により、第1バラクタダイオードと第

2バラクタダイオードとの直列回路の合成キャパシタンスが変化する。そして、この直列回路のキャパシタンスの変化により、発振回路の発振周波数が増加する。ここで、第2バラクタダイオードには制御電圧信号の電圧からツェナーダイオードのブレイクダウン電圧を差分した低い電圧が印加されるので、制御電圧信号の電圧変化による直列回路のキャパシタンスの変化も、発振周波数の変化も緩やかにはならず、ノイズの周波数も拡散される。

そして、この回路構成が本発明の基本回路構成である。

[0010] また、この発明の電圧制御発振器は、第1バラクタダイオードの第2バラクタダイオード側の端子が固定電位に直流的に接続されていることを特徴としている。

[0011] この構成では、前述の基本回路構成に対して具体的に図1に示す回路が構成され、次のような動作が行われる(図1参照)。

(3) 制御電圧信号である三角波信号の振幅(電圧)が低い範囲では、第1のバラクタダイオード、第2のバラクタダイオードともに前述の(1)の場合と同様に動作するので、発振周波数の変化も緩やかにはならず、ノイズの周波数も拡散される。

[0012] (4) 三角波信号の振幅(電圧)がツェナーダイオードのブレイクダウン電圧を超える高い範囲では、ツェナーダイオードが導通して、このツェナーダイオードに直列接続された抵抗素子に三角波信号が印加される。このため、第2バラクタダイオードに三角波信号の電圧から前記ブレイクダウン電圧を差分した電圧が印加され、第2バラクタダイオードはこの電圧によりキャパシタンスが増加する。この際、第2バラクタダイオードに印加される電圧は元の三角波信号の電圧からブレイクダウン電圧が差分されており、低電圧となる。これにより、第2バラクタダイオードのキャパシタンスの変化は緩やかにはならない。

一方、第1バラクタダイオードの第2バラクタダイオード側の端子が直流的に固定電位に接続(例えば、接地)されることで、第1バラクタダイオードにも三角波信号が印加される。この場合、第1バラクタダイオードには三角波信号のピーク付近の高電圧が印加されるのでキャパシタンスの変化量は緩やかに変化する。

このように、第2バラクタダイオードのキャパシタンスが増加するとともに、第1バラクタダイオードのキャパシタンスが増加することにより、これらの合成キャパシタンスは三

角波信号のピーク付近の電圧の高い範囲であっても電圧の変化に対して急峻に変化する。これにより、発振回路の発振周波数が急峻に変化し、ノイズの周波数が拡散される。

[0013] また、この発明は、第1バラクタダイオードの第2バラクタダイオード側の端子がツェナーダイオードの抵抗素子側の端子に直流的に接続されていることを特徴としている。

[0014] この構成では、前述の基本回路構成に対して具体的に図5に示す回路が構成され、次のような動作が行われる(図5参照)。

(5) 三角波信号の振幅(電圧)が低い範囲では、第1バラクタダイオード、第2バラクタダイオードともに前述の(1)の場合と同様に動作するので、発振周波数の変化も緩やかにはならず、ノイズの周波数も拡散される。

[0015] (6) 三角波信号の振幅(電圧)がツェナーダイオードのブレイクダウン電圧を超える高い範囲では、第2バラクタダイオードは前述の(4)の場合と同様に動作する。一方、第1バラクタダイオードの第2バラクタダイオード側がツェナーダイオードの抵抗素子側に接続されることで、第1バラクタダイオードの第2バラクタダイオード側には抵抗素子の電圧降下分に相当する電圧が常に印加される。言い換えれば、ツェナーダイオードがブレイクダウン電圧を超える電圧印加で定電圧素子として機能するため、三角波信号の電圧が変化しても、第1バラクタダイオードにはツェナーダイオードのブレイクダウン電圧分しか電圧が印加されない。このため、第1バラクタダイオードのキャパシタンスも殆ど変化しない。しかしながら、第2バラクタダイオードの変化が急峻であるので、第1バラクタダイオードのキャパシタンスと第2バラクタダイオードのキャパシタンスとの合成キャパシタンスは電圧の変化に対して緩やかに変化することはない。これにより、電圧制御発振器の発振周波数の変化も緩やかにはならず、ノイズの周波数も比較的拡散される。そして、この回路(図5)は、前述の回路(図1)と比較して構成素子が少ないため、回路規模が小型化される。

発明の効果

[0016] この発明によれば、制御電圧信号の振幅(電圧)に依存することなく、印加電圧値に応じて発振周波数を鋭く変化させ、ノイズの周波数を拡散することができる電圧制

御発振器を構成することができる。すなわち、優れたEMI低減効果を備える電圧制御御発振器を構成することができる。

- [0017] また、この発明によれば、このような優れたEMI低減効果を備える電圧制御御発振器を簡素な構造で小型に構成することができる。

図面の簡単な説明

- [0018] [図1]第1の実施形態に係る電圧制御御発振器の等価回路図である。

[図2]三角波発生回路3から出力される信号(V_{to})、第1バラクタダイオードVD1に印加される電圧(V_{VD1})、第2バラクタダイオードVD2に印加される電圧(V_{VD2})を示した波形図である。

[図3]バラクタダイオードのキャパシタンス-印加電圧特性を示す特性図、第1バラクタダイオードVD1のキャパシタンスCVD1の時間変化を示す図、第2バラクタダイオードVD2のキャパシタンスCVD2の時間変化を示す図、および、第1バラクタダイオードVD1と第2バラクタダイオードVD2との合成キャパシタンスCVDの時間変化を示す図である。

[図4]第1の実施形態に係る電圧制御御発振器の出力信号の周波数の時間変化を示した図である。

[図5]第2の実施形態に係る電圧制御御発振器の等価回路図である。

[図6]第3の実施形態に係る電圧制御御発振器の等価回路図である。

[図7]第3の実施形態に係る電圧制御御発振器の出力信号の周波数の時間変化および、従来の電圧制御御発振器の出力信号の周波数の時間変化を示す図である。

[図8]第4の実施形態に係る電圧制御御発振器の等価回路図である。

[図9]バラクタダイオードのキャパシタンスの印加電圧特性である。

[図10]バラクタダイオードに印加される信号と、バラクタダイオードのキャパシタンスと、このバラクタダイオードを備える電圧制御御発振器の発振周波数との時間変化を示した図である。

符号の説明

- [0019] 1-発振周波数制御回路

2-発振回路

3-三角波発生回路

発明を実施するための最良の形態

[0020] 本発明の第1の実施形態に係る電圧制御発振器を図1〜図5を参照して説明する。

図1は本実施形態に係る電圧制御発振器の等価回路図である。

図1に示すように、電圧制御発振器は、共振素子XDを備える発振回路2と、共振素子XDの一端に接続された発振周波数制御回路1とを備える。

[0021] 発振周波数制御回路1は、時間的に電圧値を変化させた三角波電圧信号を発生する三角波発生回路3に抵抗素子R1を介して接続されている。この三角波電圧信号が本発明の「制御電圧信号」に相当する。

[0022] 発振周波数制御回路1の抵抗素子R1との接続点、すなわち、発振周波数制御回路1の入力端子にはツェナーダイオードZD1のカソードが接続されており、ツェナーダイオードZD1のアノードは抵抗素子R2を介して接地されている。また、ツェナーダイオードZD1のカソードはインダクタRFC1を介して第1バラクタダイオードVD1のカソードに接続されている。第1バラクタダイオードVD1のアノードは高周波バイパスコンデンサC2を介して第2バラクタダイオードVD2のカソードに接続され、第2バラクタダイオードVD2のアノードは接地されている。また、第1バラクタダイオードVD1のカソードはコンデンサC1を介して発振回路2の共振素子XDに接続されている。これにより、第1バラクタダイオードVD1、高周波バイパスコンデンサC2、および第2バラクタダイオードVD2からなる直列回路は共振素子XDに対して高周波（交流）的に直列接続される。また、第1バラクタダイオードVD1のアノードはインダクタRFC3を介して接地されている。また、第2バラクタダイオードVD2のカソードはインダクタRFC2を介して抵抗素子R2に接続されている。

[0023] このように本実施形態の発振周波数制御回路1は、第1バラクタダイオードVD1と第2バラクタダイオードVD2とを交流的に接続した直列回路11が発振回路2の共振素子XDの一端と接地との間に接続され、ツェナーダイオードZD1と抵抗素子R2との直列回路12が発振周波数制御回路1の入力端子と接地との間に接続されている。そして、第1バラクタダイオードVD1のカソードとツェナーダイオードZD1のカソードと

が接続され、抵抗素子R2と第2バラクタダイオードVD2とが直流的に並列接続されている。ここで、第1、第2バラクタダイオードVD1, VD2を含む直列回路11が本発明の「第1直列回路」に相当し、ツェナーダイオードZD1と抵抗素子R2との直列回路12が本発明の「第2直列回路」に相当する。

[0024] ここで、インダクタRFC1〜RFC3は三角波信号の周波数では比較的低いインピーダンスを示し、発振周波数では非常に高いインピーダンスを示すようにインダクタンス値が設定されている。これにより、発振回路2で発生する発振周波数信号は三角波発生回路3側および抵抗素子R2側には伝送されない。また、第1バラクタダイオードVD1は直流的に接地される。なお、本実施形態では、この接地が本発明の「固定電位」に相当する。

[0025] これら第1、第2バラクタダイオードVD1, VD2、ツェナーダイオードZD1、抵抗素子R2、高周波バイパスコンデンサC2、およびインダクタRFC1〜RFC3からなる回路により発振周波数制御回路1が構成される。

[0026] 発振回路2の共振素子XDの一方端は、前述のようにコンデンサC1を介して発振周波数制御回路1の第1バラクタダイオードVD1および第2バラクタダイオードVD2を含む直列回路11に高周波(交流)的に接続されており、共振素子XDの他方端は発振周波数付近の周波数で負性抵抗を示すトランジスタTrのベースに接続されている。ここで、共振素子XDとしては、例えば圧電振動子や水晶振動子等を用いている。トランジスタTrのベースは抵抗素子R11を介して駆動電圧Vcc入力端子に接続されるとともに、抵抗素子R12を介して接地されている。また、トランジスタTrのベース、エミッタ間には帰還用のコンデンサC11が接続されている。トランジスタTrのエミッタは抵抗素子R13とコンデンサC12とのそれぞれにより接地されるとともに、信号出力端子OUTに接続されている。トランジスタTrのコレクタは駆動電圧Vcc入力端子に接続され、この駆動電圧Vcc入力端子はコンデンサC13を介して高周波的に接地されている。これら、共振素子XD、トランジスタTr、抵抗素子R11〜R13、コンデンサC11〜C13からなる回路により発振回路2が構成される。

[0027] このような構成の発振回路2は負性抵抗特性を有するトランジスタTrを用いたコルピッツ型の発振回路として機能し、発振周波数は発振周波数制御回路1の第1、第2

バラクタダイオードVD1、VD2のキャパシタンスにより変化する。第1、第2バラクタダイオードVD1、VD2は印加される電圧値によりキャパシタンスが可変する素子であるので、これら第1、第2バラクタダイオードVD1、VD2に印加する電圧値を変化させることにより発振周波数が制御される。すなわち、周波数を電圧で制御する電圧制御発振器が構成される。

[0028] このような構成の電圧制御発振器の動作について図2～図4を参照して説明する。

図2(a)は三角波発生回路3から出力される信号(V_{t0})の波形図であり、図2(b)は第1バラクタダイオードVD1に印加される電圧(V_{VD1})の波形図であり、図2(c)は第2バラクタダイオードVD2に印加される電圧(V_{VD2})の波形図である。図3(a)はバラクタダイオードのキャパシタンス-印加電圧特性を示す特性図であり、図3(b)は図2に示す三角波信号を印加した場合の第1バラクタダイオードVD1のキャパシタンス C_{VD1} の時間変化を示す図であり、図3(c)は第2バラクタダイオードVD2のキャパシタンス C_{VD2} の時間変化を示す図であり、図3(d)は第1バラクタダイオードVD1と第2バラクタダイオードVD2との合成キャパシタンス C_{VD} の時間変化を示す図である。

図4は電圧制御発振器の発振周波数、すなわち出力信号の周波数の時間変化を示した図である。

[0029] 三角波発生回路3から、図2(a)に示す三角波電圧信号(以下、単に「三角波信号」という)が出力されると、この三角波信号は、ツェナーダイオードZD1と第1バラクタダイオードVD1のカソードにそれぞれ印加される。ここで、ツェナーダイオードZD1には、三角波信号のピーク-ピーク値よりも低い電圧が逆方向(カソード側からアノード側)にかかるとブレークダウンするものが用いられており、本実施形態では、略1.4Vをブレークダウン電圧 V_z とするツェナーダイオードが用いられている。このため、三角波信号の電圧値(振幅)がブレークダウン電圧 V_z よりも低い範囲では、ツェナーダイオードZD1は開放状態となる。一方、第1バラクタダイオードVD1のアノードはインダクタRFC3を介して接地されているので、三角波信号は第1バラクタダイオードVD1に印加される。また、第1バラクタダイオードVD1と第2バラクタダイオードVD2との間には高周波バイパスコンデンサC2が接続されているので、三角波信号は第2バラク

タダイオードVD2および抵抗素子R2には印加されない。これにより、三角波信号の電圧が低い範囲、すなわち、三角波信号の電圧がツェナーダイオードのブレイクダウン電圧よりも低い範囲(図2における領域 α)では、実質的に第1バラクタダイオードVD1にのみ三角波信号が印加されることとなる。

[0030] 一方、三角波信号の電圧値(振幅)がブレイクダウン電圧 V_z を超える(図2における領域 β)と、ツェナーダイオードZD1は定電圧素子として機能する。このため、抵抗素子R2には三角波信号の電圧値からツェナーダイオードZD1のブレイクダウン電圧 V_z を差分した電圧が印加される。これにより、第2バラクタダイオードVD2にも抵抗素子R2と同様に電圧信号が印加される。この際、第1バラクタダイオードVD1には、前述の低電圧時の場合と同様に三角波信号が印加される。

[0031] このような回路構成とすることにより、第1バラクタダイオードVD1は三角波信号の電圧値(振幅)に依存することなく、三角波信号が略そのまま印加され続ける(図2(b)参照)。一方、第2バラクタダイオードVD2には、三角波信号の電圧値が所定電圧値よりも高い範囲、具体的には、ツェナーダイオードZD1のブレイクダウン電圧 V_z よりも高い電圧範囲でのみ、三角波信号からブレイクダウン電圧を差分した電圧が印加される(図2(c)参照)。

[0032] 図2(b)に示す電圧信号が印加されると、第1バラクタダイオードVD1は、図3(b)に示すようにキャパシタンスが変化する。すなわち、印加電圧が低い範囲では電圧値に応じてキャパシタンスが急峻に変化するが、印加電圧が高い範囲ではキャパシタンスが緩やかに変化する。これは、第1、第2バラクタダイオードVD1、VD2が図3(a)に示すような特性を有するからである。この図に示すように、第1、第2バラクタダイオードVD1、VD2は印加電圧が負電圧(アノードの電位がカソードの電位よりも高い場合)や0電圧であったり、正電圧(カソードの電位がアノードの電位よりも高い場合)であっても低電圧であると、キャパシタンスが急峻に変化し、印加電圧が正電圧であり高電圧になるとキャパシタンスが緩やかに変化する。

[0033] 一方、第2バラクタダイオードVD2は、図3(c)に示すようにキャパシタンスが変化する。すなわち、三角波信号の電圧が低い範囲では、電圧が印加されないので0電圧に相当するキャパシタンスを示し、三角波信号の電圧がツェナーダイオードZD1のブ

ブレークダウン電圧 V_z よりも高くなると、印加電圧に応じてキャパシタンスが急峻に変化する。これは、三角波信号の電圧が高くなっても、第2バラクタダイオードVD2には、三角波信号の電圧からツェナーダイオードZD1のブレークダウン電圧 V_z を差分した、低い電圧が印加されるからである。

[0034] このように第1、第2バラクタダイオードVD1, VD2のキャパシタンスが変化することにより、これら直列回路11の合成キャパシタンスは図3(d)に示すように変化する。これは、合成キャパシタンスの変化が、三角波信号が低い領域では、第2バラクタダイオードVD2のキャパシタンスが高いまま変化せず、第1バラクタダイオードVD1のキャパシタンスが急峻に変化するからであり、三角波信号が低い領域では、第1バラクタダイオードVD1のキャパシタンスが緩やかに変化し続けるとともに、第2バラクタダイオードのキャパシタンスが急峻に変化するからである。

[0035] このような構成を用いることにより、三角波信号の電圧によらず、三角波信号のピーク付近であっても、第1、第2バラクタダイオードVD1, VD2の直列回路11のキャパシタンスを急峻に変化させることができる。これにより、発振回路2の発振周波数を図4に示すように急峻に変化させることができる。この結果、電圧制御発振器から出力される信号の周波数を拡散させることができ、ノイズの周波数を拡散させることができる。すなわち、EIM抑制効果に優れる電圧制御発振器を構成することができる。

[0036] 次に、第2の実施形態に係る電圧制御発振器について図5を参照して説明する。

図5は本実施形態に係る電圧制御発振器の等価回路図である。

図5に示す電圧制御発振器は、第1の実施形態に示した電圧制御発振器の直列回路11が、第1バラクタダイオードVD1と第2バラクタダイオードVD2とが、高周波バイパスコンデンサが介さずに直列接続された直列回路11'になり、さらに、この接続点がインダクタで接地されていないものであり、他の構成は第1の実施形態に示した電圧制御発振器と同じである。すなわち、本実施形態(図5)の電圧制御発振器は、第1の実施形態(図1)に示した電圧制御発振器から高周波バイパスコンデンサC2とインダクタRFC3を省略したものである。

[0037] このような電圧制御発振器では、三角波発生回路3から出力される電圧がツェナーダイオードZD1のブレークダウン電圧 V_z よりも小さい場合には、前述の第1の実施形

態と同様に第1バラクタダイオードVD1にのみ電圧が印加され、第1バラクタダイオードVD1は印加される電圧に応じてキャパシタンスを変化させる。一方、第2バラクタダイオードVD2には電圧が殆ど印加されないで0電圧に応じたキャパシタンスとなる。次に、三角波発生回路3から出力される電圧がツェナーダイオードZD1のブレークダウン電圧 V_z よりも大きくなると、ツェナーダイオードZD1は電圧値 V_z の定電圧素子となり、第1バラクタダイオードVD1にはこの定電圧値 V_z が印加されてほとんど変化しない。このため、第1バラクタダイオードVD1は電圧値 V_z に応じたキャパシタンスで略一定となる。一方、抵抗素子R2には三角波信号の電圧からツェナーダイオードVD1による定電圧 V_z を差分した電圧が印加されるので、第2バラクタダイオードVD2にもこの差分電圧が印加され、差分電圧の変化に応じて第2バラクタダイオードVD2のキャパシタンスが変化する。ここで、第2バラクタダイオードVD2に印加される電圧は三角波信号の電圧からツェナーダイオードVD1の電圧 V_z を差分した電圧であるので低電圧であり、第2バラクタダイオードVD2のキャパシタンスの変化は大きくなる。このため、第1バラクタダイオードVD1と第2バラクタダイオードVD2との直列回路11'からなるキャパシタンス、すなわち、第1バラクタダイオードVD1のキャパシタンスと第2バラクタダイオードVD2のキャパシタンスとの合成キャパシタンスは、第1の実施形態に比較すれば大きくはないが、三角波信号の電圧変化に応じて比較的急峻に変化する。

[0038] これにより、この電圧制御発振器の出力信号の周波数の変化が部分的に緩くなることはなく、前述の第1の実施形態に示した電圧制御発振器と同様に十分なEMI抑制効果を有する電圧制御発振器を構成することができる。さらに、本実施形態に示した電圧制御発振器は第1の実施形態に示した電圧制御発振器よりも構成素子数が少ないので、EMI抑制効果を有する電圧制御発振器をさらに簡素な構造で小型に構成することができる。

[0039] 次に、第3の実施形態に係る電圧制御発振器について図6、図7を参照して説明する。

[0040] 図6は本実施形態に係る電圧制御発振器の等価回路図である。

図6に示す電圧制御発振器は、第1の実施形態に示した電圧制御発振器の発振

周波数制御回路1の接地電位(固定電位)が定電圧源Vccによる電位に置き換わったものであり、他の構成は第1の実施形態に示した電圧制御発振器と同じである。

具体的には、発振周波数制御回路1と抵抗素子R1との接続点にツェナーダイオードZD1のアノードが接続されており、ツェナーダイオードZD1のカソードは抵抗素子R2を介して定電圧源(駆動電圧源を兼ねる)Vccに接続されている。

[0041] また、ツェナーダイオードZD1のアノードはインダクタRFC1を介して第1バラクタダイオードVD1のアノードに接続されている。第1バラクタダイオードVD1のカソードは高周波バイパスコンデンサC2を介して第2バラクタダイオードVD2のアノードに接続され、第2バラクタダイオードVD2のカソードは定電圧源Vccに接続されている。また、第1バラクタダイオードVD1のアノードはコンデンサC1を介して発振回路2の共振素子XDに接続されている。また、第1バラクタダイオードVD1のカソードはインダクタRFC3を介して定電圧源Vccに接続されている。また、第2バラクタダイオードVD2のアノードはインダクタRFC2を介して抵抗素子R2に接続されている。そして、定電圧源Vcc接続端子は高周波バイパスコンデンサC23により高周波的に接地されている。なお、本実施形態では、この定電圧源Vccによる電位が本発明の「固定電位」に相当する。

このような構成の電圧制御発振器では、ツェナーダイオードZD1、第1、第2バラクタダイオードVD1、VD2に三角波発生回路3からの出力信号の電圧と定電圧源Vccとの差分電圧が印加され、前記各素子はこの差分電圧により動作するので、電圧制御発振器の発振周波数は、第1の実施形態の図4に示した周波数変化と逆の図7(a)に示すような変化となる。

図7(a)は本実施形態に示した電圧制御発振器の出力信号の周波数の時間変化を示し、図7(b)はバラクタダイオードが1つからなる従来の電圧制御発振器の出力信号の周波数の時間変化を示す。

[0042] すなわち、バラクタダイオードに定電圧源からの電圧と三角波信号の電圧との差分電圧を印加させる場合、従来の電圧制御発振器では低周波数側のピーク付近で周波数変化が緩やかになるが、本実施形態の電圧制御発振器では低周波数側のピーク付近でも周波数変化を急峻にすることができる。

これにより、前述の各実施形態と同様に、優れたEIC抑制効果を備える電圧制御発振器を構成することができる。

[0043] 次に、第4の実施形態に係る電圧制御発振器について図8を参照して説明する。

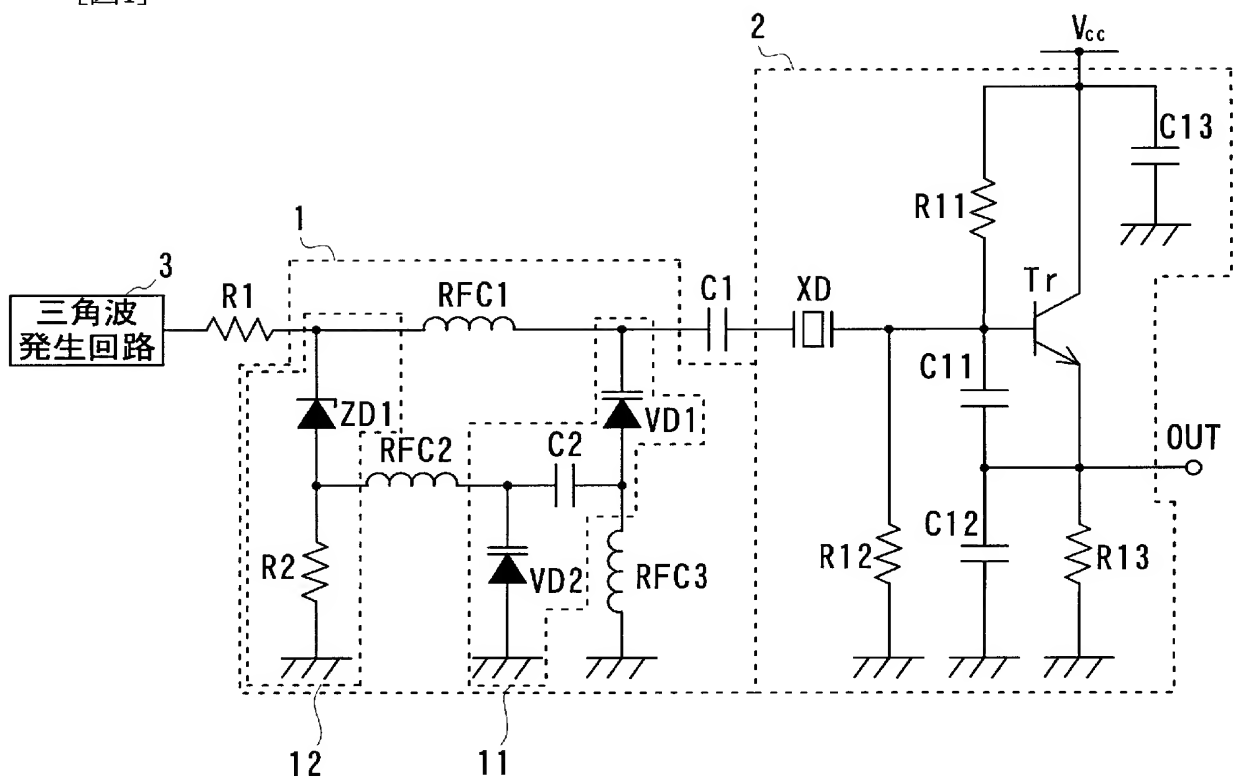
図8は本実施形態に係る電圧制御発振器の等価回路図である。

本実施形態に示す電圧制御発振器は、第1バラクタダイオードVD1と第2バラクタダイオードVD2とが直列接続されており、これら第1バラクタダイオードVD1と第2バラクタダイオードVD2との間に高周波バイパスコンデンサを介さず、さらに、この接続点がインダクタを介して定電圧源Vccに接続されていないものであり、他の構成は第3の実施形態に示した電圧制御発振器と同じである。すなわち、本実施形態(図8)の電圧制御発振器は、第3の実施形態(図6)に示した電圧制御発振器から高周波バイパスコンデンサC2とインダクタRFC3を省略したものであり、第1の実施形態に示した電圧制御発振器(図1)に基づき第2の実施形態に示した電圧制御発振器(図5)を構成した場合と同様である。このため、本実施形態の電圧制御発振器の動作は、第2、第3の実施形態に示した電圧制御発振器の動作を参照とすることで容易に推測することが可能であり説明は省略する。そして、結果として本実施形態の構成を用いることで、十分なEMI抑制効果を備える電圧制御発振器を簡素な構造で小型に構成することができる。

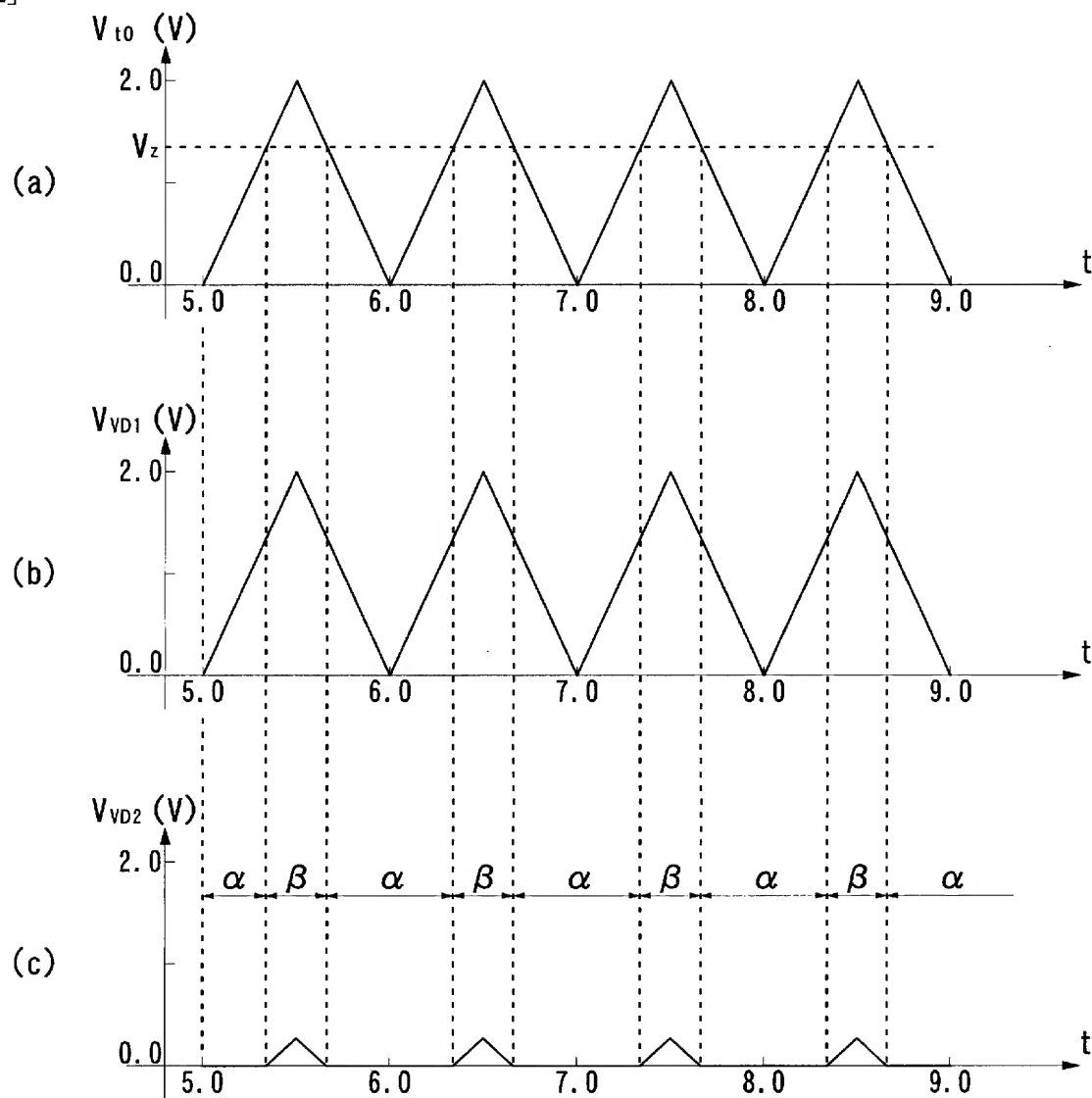
請求の範囲

- [1] 共振素子を備え所定の発振周波数信号を発生する発振回路と、該発振回路の発振周波数を制御電圧信号により制御する発振周波数制御回路とを備えた電圧制御発振器において、
- 前記発振周波数制御回路は、
- 前記共振素子の一方端と固定電位との間に、前記共振素子側から第1バラクタダイオードと第2バラクタダイオードとを順に交流的に直列接続した第1直列回路と、
- 前記制御電圧信号の入力端子と前記固定電位との間に、前記入力端子側からツェナーダイオードと抵抗素子とを順に直列接続した第2直列回路とを備え、
- 前記第1バラクタダイオードの前記共振素子側の端子と、前記ツェナーダイオードの前記入力端子側の端子とを直流的に接続するとともに、
- 前記第2バラクタダイオードの前記第1バラクタダイオード側の端子と、前記抵抗素子の前記ツェナーダイオード側の端子とを直流的に接続してなることを特徴とする電圧制御発振器。
- [2] 前記第1バラクタダイオードの前記第2バラクタダイオード側の端子を前記固定電位に直流的に接続したことを特徴とする請求項1に記載の電圧制御発振器。
- [3] 前記第1バラクタダイオードの前記第2バラクタダイオード側の端子を前記ツェナーダイオードの前記抵抗素子側の端子に直流的に接続したことを特徴とする請求項1に記載の電圧制御発振器。

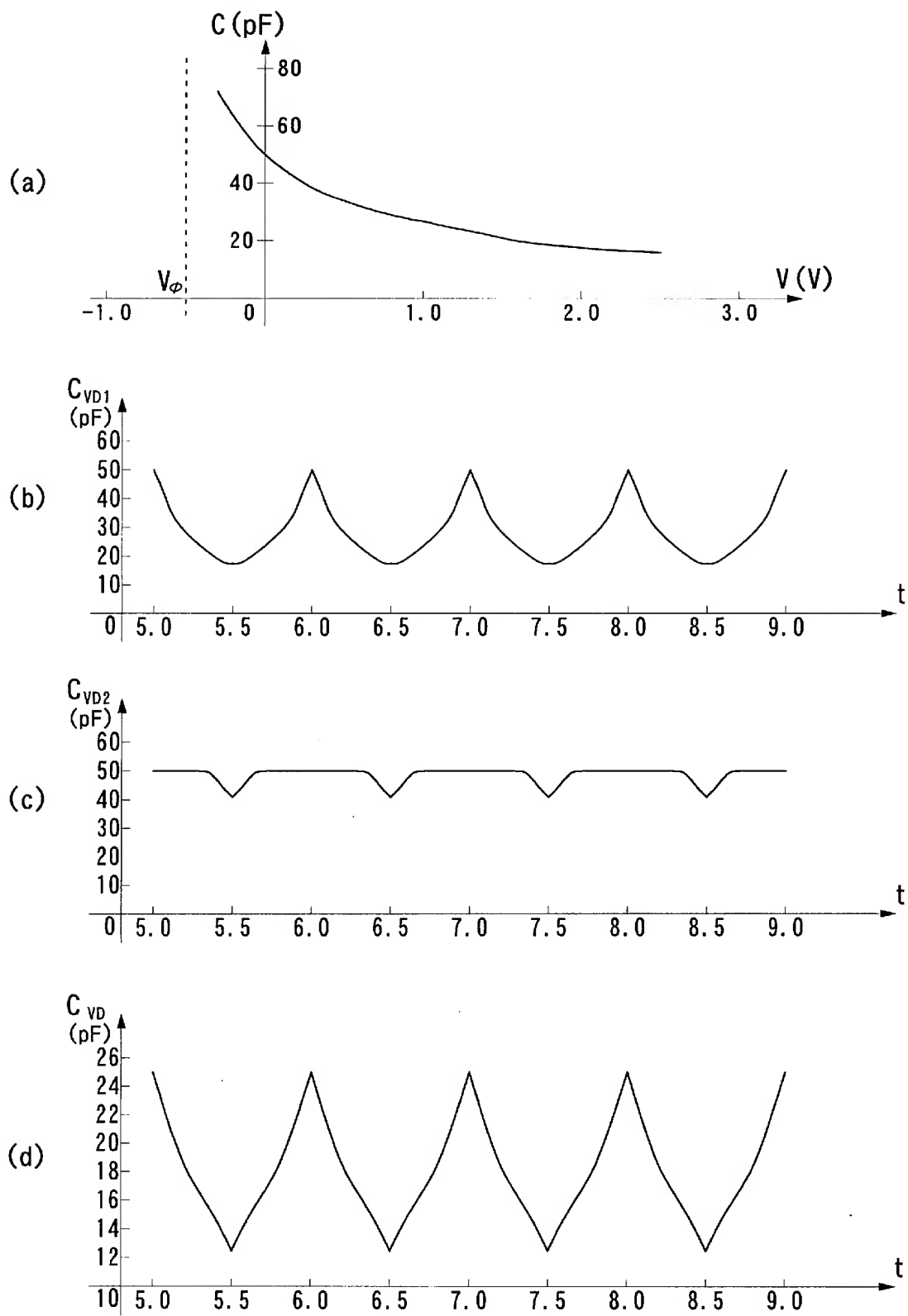
[図1]



[図2]



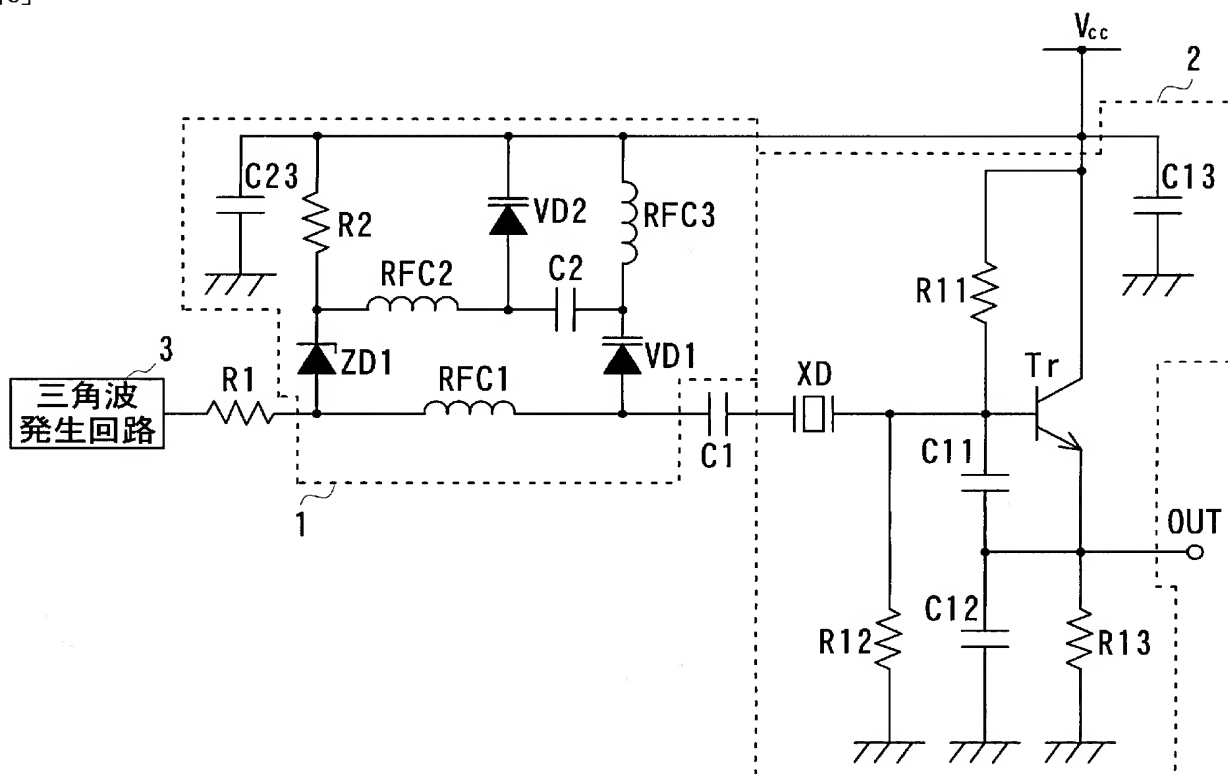
[図3]



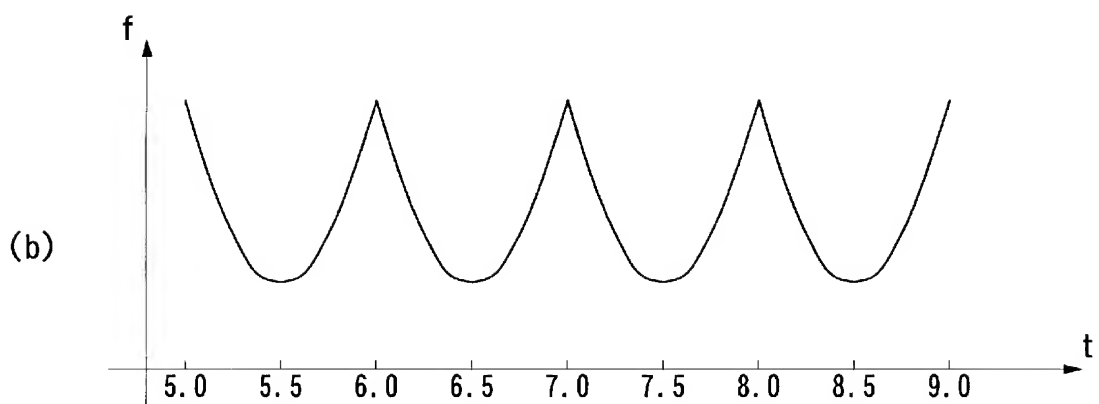
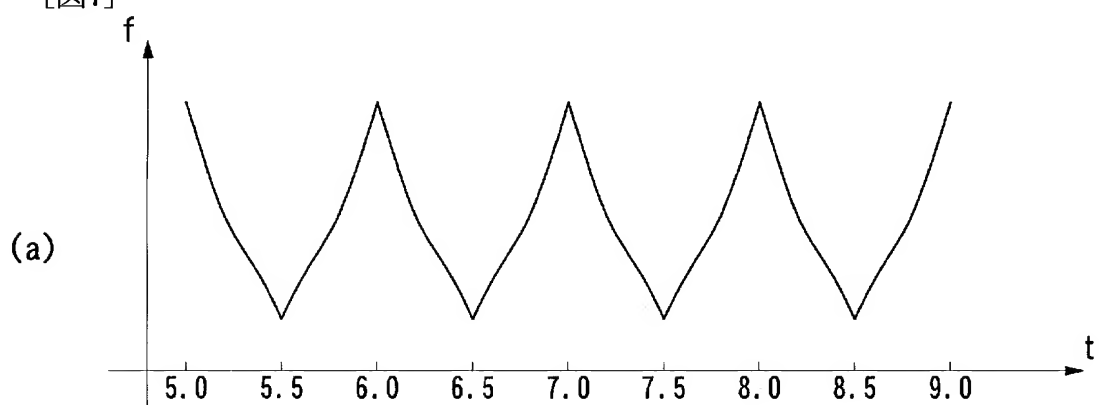
The graph shows a periodic function $f(t)$ plotted against time t . The horizontal axis t ranges from 5.0 to 9.0 with major ticks every 0.5 units. The vertical axis f is unlabeled. The function has a period of 1.0 unit. It reaches a minimum value at $t = 6.0, 7.0, 8.0$ and a maximum value at $t = 5.5, 6.5, 7.5, 8.5$. The function is zero at $t = 5.0, 6.0, 7.0, 8.0, 9.0$.

The diagram illustrates a triangular wave generator circuit. It starts with a triangular wave generation circuit (1) which includes a resistor R1, a diode ZD1, a resistor R2, and a diode ZD2. This is followed by a buffer/amplifier stage (2) containing a diode VD1, a diode VD2, a resistor RFC1, a resistor RFC2, a capacitor C1, and a diode XD. The final stage (3) is an output stage featuring a transistor Tr, a resistor R11, a resistor R12, a capacitor C11, a capacitor C12, a resistor R13, and a capacitor C13. The output is labeled OUT.

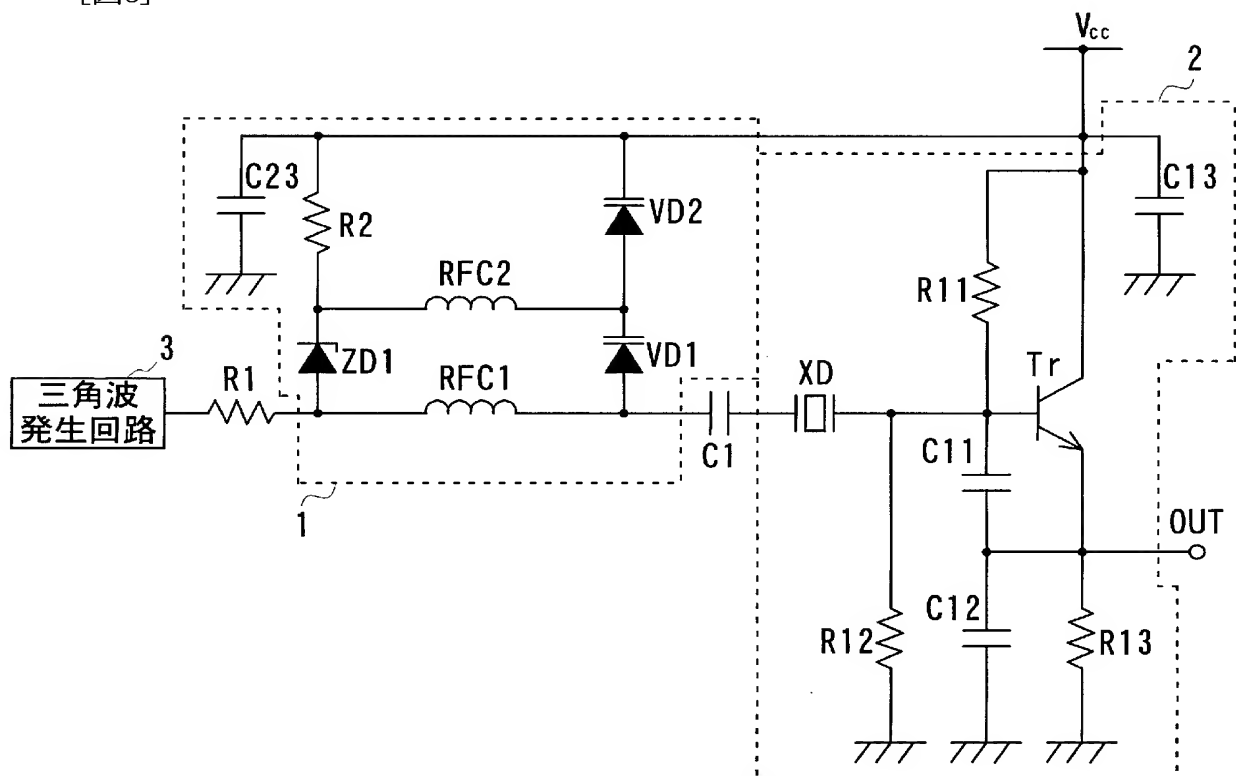
[図6]



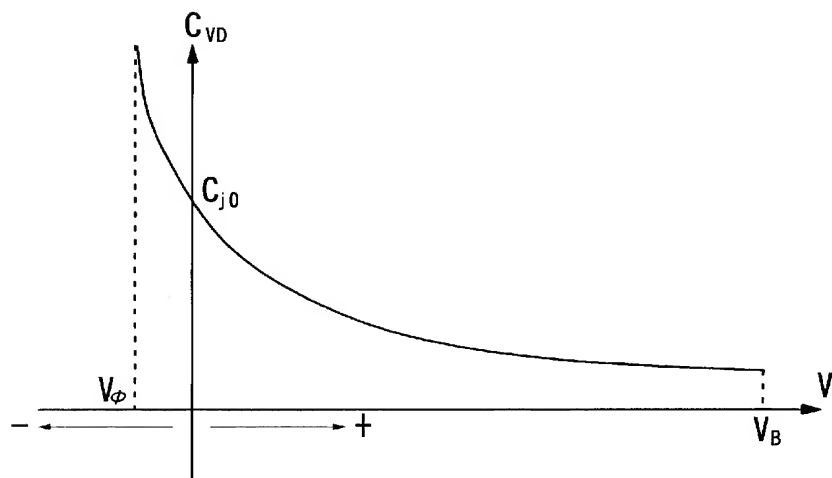
[図7]



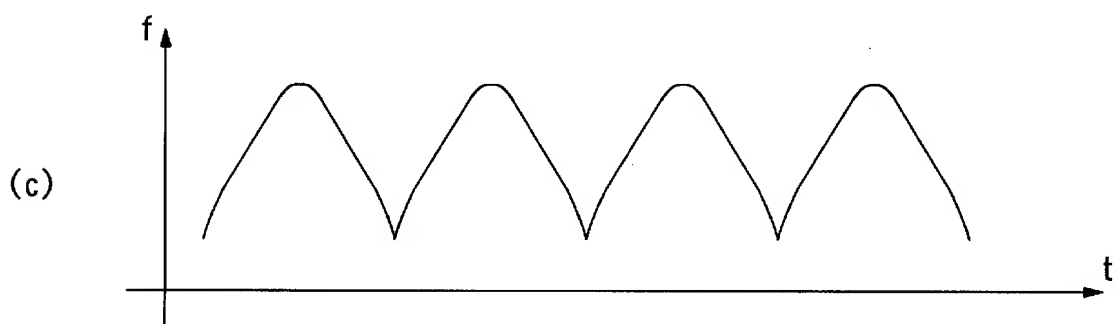
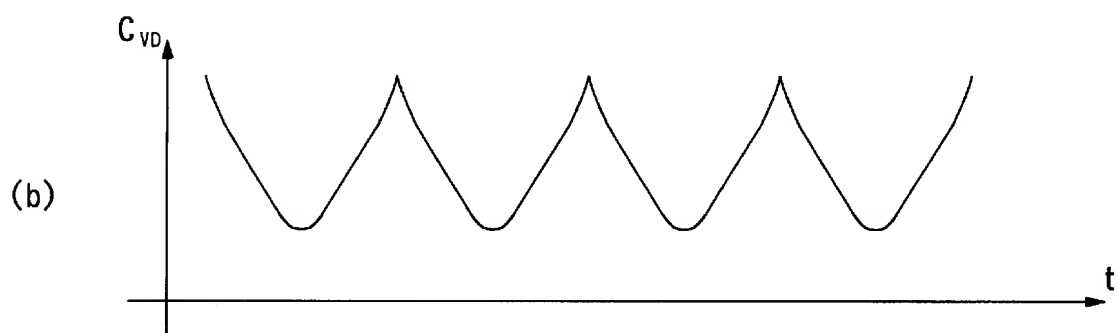
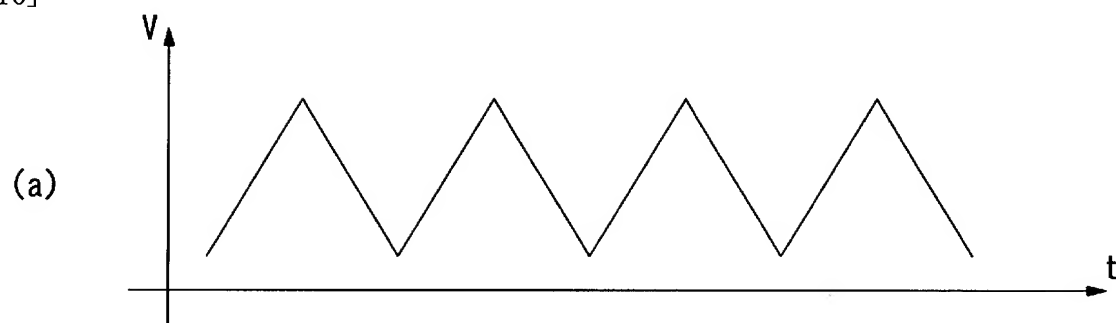
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/017145

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H03B5/36, H03B5/12, H04J13/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H03B5/00-5/42, H04J13/00, H03C3/00-3/42

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Jitsuyo Shinan Toroku Koho	1996-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 6-45826 A (NEC Corp.), 18 February, 1994 (18.02.94), Full text; all drawings (Family: none)	1-3
A	JP 6-252640 A (Fujitsu Ltd.), 09 September, 1994 (09.09.94), Par. Nos. [0022] to [0027]; Fig. 6 (Family: none)	1-3
A	JP 2000-183648 A (Toyo Communication Equipment Co., Ltd.), 30 June, 2000 (30.06.00), Par. Nos. [0007] to [0008]; Fig. 10 (Family: none)	1-3



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
10 February, 2005 (10.02.05)

Date of mailing of the international search report
08 March, 2005 (08.03.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/017145

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 4-179306 A (Canon Inc.), 26 June, 1992 (26.06.92), Page 3, upper left column, lines 9 to 17; Fig. 3 (Family: none)	1-3
A	JP 4-320102 A (Kokusai Electric Co., Ltd.), 10 November, 1992 (10.11.92), Par. Nos. [0005] to [0006]; Fig. 1 (Family: none)	1-3
A	JP 59-229914 A (Torio Kabushiki Kaisha), 24 December, 1984 (24.12.84), Page 2, upper left column, line 11 to upper right column, line 12; Fig. 2 (Family: none)	3

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁷ H03B5/36, H03B5/12, H04J13/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁷ H03B5/00-5/42, H04J13/00, H03C3/00-3/42

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2005年

日本国登録実用新案公報 1994-2005年

日本国実用新案登録公報 1996-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 6-45826 A (日本電気株式会社) 1994. 02. 18, 全文, 全図 (ファミリーなし)	1-3
A	J P 6-252640 A (富士通株式会社) 1994. 09. 09, 段落【0022】～【0027】, 【図6】 (ファミリーなし)	1-3
A	J P 2000-183648 A (東洋通信機株式会社) 2000. 06. 30, 段落【0007】～【0008】, 【図10】 (ファミリーなし)	1-3

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

10. 02. 2005

国際調査報告の発送日

08. 3. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

高木 進

5W

3139

電話番号 03-3581-1101 内線 3575

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 4-179306 A (キャノン株式会社) 1992. 06. 26, 第3頁左上欄第9行~第17行, 第3図 (ファミリーなし)	1-3
A	JP 4-320102 A (国際電気株式会社) 1992. 11. 10, 段落【0005】~【0006】, 【図1】 (ファミリーなし)	1-3
A	JP 59-229914 A (トリオ株式会社) 1984. 12. 24, 第2頁左上欄第11行~右上欄第12行, 第2図 (ファミリーなし)	3